JEDEC47K-集成电路应力测试驱动的鉴定

# 范围

本标准描述了一组基线验收测试，用于将电子元件鉴定为新产品、产品系列或正在更改的过程中的产品。

这些测试能够刺激和沉淀未焊接到印刷有线板（PWB）或类似结构元件上的独立元件上的半导体器件和封装故障模式（基础元件可靠性）。目标是，与使用条件相比，以加速的方式引发故障。故障率预测通常需要比鉴定测试中指定的更大的样本量。有关预测故障率的指导，请参阅JESD85以FIT为单位计算故障率的方法。

该资格标准旨在针对一系列使用条件的通用资格，但是：

* 可能不适用于极端使用条件，如军事应用、汽车引擎盖下应用或不受控制的航空电子环境
* 不覆盖组装到PWB上的组件或类似组件，这可能会影响组件在组装状态下的可靠性。这在JEP150中得到了解决，例如，通常适用于WLCSP器件上的TC。

通过应用JESD94，可以开发为满足特定要求而量身定制的附加认证测试，例如焊点互连可靠性。

这组测试不应不加选择地使用。每个资格认证项目都应针对以下方面进行检查：

* 任何潜在的新的和独特的故障机制
* 这些测试/条件可能导致无效或过应力故障的任何情况。

如果已知或怀疑故障是由于新机制引起的，或者是由严格的测试条件单一诱导的，则不建议应用所述的测试条件。或者，应通过理解新机制及其在加速应力条件下的行为来解决新机制或独特的有问题的应力水平（参考文献JESD91，“为电子元件失效机制开发加速模型的方法”和JESD94，“使用基于知识的测试方法的特定应用认证”）。

可能还需要考虑 PC 板组件级效果。有关这方面的指导，请参阅 JEP150，与组装的固态表面贴装组件相关的压力测试驱动鉴定和故障机制。

本文档并不免除供应商确保产品满足其完整要求的责任。

# 参考文献

参考文件的修订应为在资格计划日期生效的版本。

## J用

MIL-STD-883，微电子测试方法和程序。

MIL-PRF 38535，集成电路制造通用规范。

## 工业应用

UL94，设备和器具零件用塑料材料的易燃性试验。

ASTM D2863，使用氧指数法测定塑料的可燃性。

IEC出版物695，火灾危险试验。

J-STD-020，IPC/JEDEC联合标准，非密封固体的水分/回流敏感性分类说明表面安装设备。

JP-001，铸造工艺鉴定指南（晶圆制造制造现场）。

JS-001，JEDEC/ESDA放电敏感性试验联合标准-人体模型（HBM）-组件级

JS-002，ESDA/JEDEC静电放电灵敏度测试联合标准-带电设备型号（CDM）-设备级

J-STD-002，元件引线、终端、接线片、端子和导线的可焊性试验

JESD22系列，成套设备可靠性试验方法

JESD46，半导体供应商产品/工艺变更用户通知指南。

JESD69，硅器件鉴定的信息要求。

JESD74，《电子元件早期寿命失效率计算程序》。

JESD78，IC闩锁测试。

JESD85，以配合单位计算失效率的方法。

JESD86，电气参数评估。

JESD91，电子元件失效机制加速模型的开发方法。

JESD94，使用基于知识的测试方法的应用程序特定鉴定。

JEP122，《半导体器件的失效机理和模型》。

JEP143，固态可靠性评估鉴定方法。

JEP150，组装实体相关的应力测试驱动鉴定和失效机制说明表面安装组件。

JEP156，芯片封装交互理解、识别和评估。

JESD201，锡和锡合金锡须敏感性的环境验收要求表面光洁度。

# 通用需求

## 目标

本程序的目的是确保待鉴定的设备符合公认的压力测试驱动鉴定要求。鉴定针对的是主要用于商业或工业操作环境的组件。对于其他应用，如汽车、航空电子、医疗等，可能需要根据供应商和客户协议对这些要求进行调整。

## 资格认证系列

虽然本规范可用于鉴定单个部件，但其设计也可用于鉴定使用相同制造工艺、设计规则和类似电路的类似部件系列。系列鉴定也可适用于结构相同且仅引线尺寸和数量不同的封装系列。在应用系列名称时，应根据JEP156考虑硅和封装的交互影响。

## 批次要求

测试样品应包括来自合格系列产品中的代表性样品。应评估制造不一致性及其对可靠性的影响。在适用的情况下，测试样品将由至少三（3）个非连续批次的大致相等的数量产品组成。可以使用其他适当的方法来评估制造不一致性。可以使用其他适当的方法来评估制造不一致性。表 1、表 2 和表 3 中列出了样本大小和通过/未通过要求。表 A 和表 B 给出了将通过/未通过要求转换为较大样本量的指导。

可以基于卡方分布使用通用数据和更大的样本数量，该分布使用总缺陷百分比，置信限为90%的置信度，用于总所需批次和样本数量。ELFR要求应以60%的置信水平进行评估，如表5-2所示。如果要对单个独特且昂贵的组分进行鉴定，则可以使用鉴定表中列出的样品量的1/3来执行减小的样品量鉴定。

## 生产需求

所有测试样品应在同一生产地点制造和组装，并采用与设备和合格系列在生产中制造的相同生产工艺。样品需要经过整个生产过程的处理，包括老化，处理，测试和筛选。

## 测试样品的可重用性

用于非破坏性鉴定测试的设备可用于填充其他资格测试。除工程分析外，已用于破坏性鉴定测试的设备不得用于后续的鉴定应力。无损鉴定测试包括：早期寿命故障率、电气参数评估、外部视觉、系统软误差和物理尺寸。

## 应力后电气测试失效的定义

后应力电气故障被定义为那些不符合单个设备规格或特定于环境应力的其他标准的设备。如果故障原因是由于与测试条件无关的原因造成的，则故障应打折。

## 认证所需的压力测试

表 5-1、表 5-3 和表 5-4 列出了新组件的资格要求。表5-3和表5-4按封装类型进行了区分，但这些不仅仅是包装测试。如JEP156中所述，封装在硅上的交互效应也推动了对表5-3和表5-4中测试的需求。偏置可靠性应力的电源电压应为器件数据表中定义为最大额定电源工作电压的 Vcc max 或 Vdd max，通常最大电源电压比标称电压高 5% 至 10%。一些测试（如HTOL）可能允许更高的电压来获得额外的应力时间加速度。JEP122可以为加速常见故障机制提供指导。

表6-1列出了对于合格系列或变更类别应考虑的应力。来自芯片与封装不变的地方的互联效应需要进行评估。

## 通过/失败标准

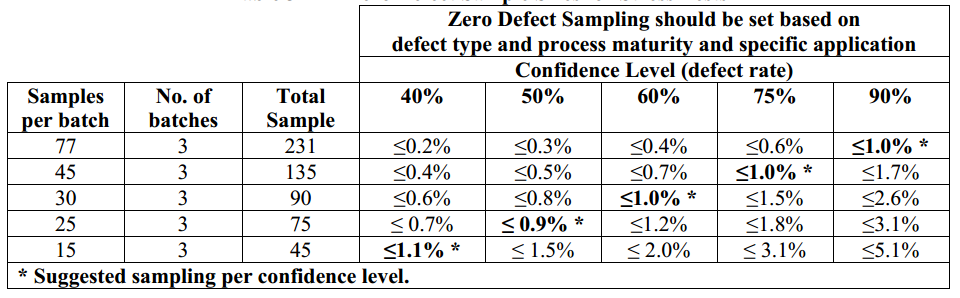
通过表 5-1、表 5-3 和表 5-4 中指定的所有适当的鉴定测试，通过执行检验、显示具有较大样本量的等效数据或证明可接受的通用数据（在 90% 置信限下对总所需批次和样本数量使用等效的总缺陷百分比），即可根据本文档对设备进行鉴定。当提交来通用产品或更大样本量的测试数据以满足本文档的表 5-1、表 5-3 和表 5-4 资格要求时，这些测试期间出现的样品数量和缺陷器件总数必须满足 MIL-PRF 38535 中定义的泊松指数二项式分布的 90% 置信水平。MIL-PRF 38535可从<http://www.dscc.dla.mil/Programs/MilSpec/listdocs.asp?BasicDoc=MIL-PRF-38535>.上免费获得。

给定缺陷水平的最小数量或样本数可通过以下公式近似：

N >= 0.5 [*Χ*2 (2C+2, 0.1)] [1/LTPD – 0.5] + C

其中 C = 接受 #，N = 最小样本数量，Χ 2 是 90% CL 的卡方分布值，LTPD 是所需的 90% 置信度缺陷水平。表3-1基于此公式，但在某些情况下，样本量略小于MIL-PRF-38535。

**表3-1—压力测试的零缺陷样本量**



可以根据所需的缺陷率建立具体的抽样计划，并考虑缺陷类型、工艺成熟度和对设备应用的理解。建议供应商和客户达成协议。

表3-1中的置信水平反映了零缺陷采样响应。例如，231 个样本的缺陷数达到 0，意味着在 90% 的置信水平下，缺陷率要≤ 1.0%。相反，对于 90 个样本的 0 个缺陷，≤1.0% 的缺陷率只能具有 60% 的置信度。

然而，也可以根据相同的非参数二项式概率，使用更大的样本数量和非零失败计数来考虑其他等效的缺陷率和置信水平。有关不同的抽样计划，请参阅附件B。

# 资格认证与再认证

## 新产品的的认证

在当前合格的合格系列中制造的新产品或重新设计的产品（芯片修订版）可以使用一（1）个晶圆/装配批次进行认证。应进行电气参数评估以伴随每次测试。

## 变更产品的再认证

当供应商对产品和/或工艺进行更改，这可能会影响设备的形状、适用性、功能、质量和/或可靠性时，将需要对芯片进行重新认证。可能需要重新获得资格的变更列表如第 6.1 条所示。

### 流程变更通知

供应商应遵循 J-STD-046 “半导体供应商产品/工艺变更用户通知指南”中有关产品/工艺变更的准则，以考虑是否保证对芯片进行重新认证。

### 需要再认证的变更

所有产品/工艺变更均应根据表 6-1 中列出的准则进行评估。

### 通过再认证的标准

表 6-1 列出了，实施相应表 5-1、表 5-3 和表 5-4 所示应力的资格认证计划指南。应分析失效芯片的根本原因并进行纠正；只需要分析一个代表性的样品。可接受解决方案以及有效的纠正和预防措施将构成对受更改影响的芯片的成功再认证。只要证明采取的纠正和预防措施对问题有效控制，就可以对部分和/或合格系列进行认证。

# 鉴定测试

## 一般性测试

测试细节见表 5-1、表 5-3 和表 5-4。并非所有测试都适用于所有芯片。表5-1试验一般适用于设计和制造工艺的变化。表5-3测试适用于非密封封装器件，表5-4适用于密封封装器件。表5-2列出了早期失效的及格/未通过要求。表 6-1 给出了给定过程更改需要哪些测试的指导。所需的一些数据可以被通用流程或封装数据所取代。

## 芯片特定测试

必须在特定芯片上执行以下测试，以符合所有密封和塑料封装的资格。通过或未通过这些测试，仅对符合资格的设备进行合格认证或取消认证，而不对相关的合格系列进行合格认证：

1. 静电放电 （ESD） - 所有产品。见表5-1
2. 闩锁 （LU） – CMOS、BiCMOS 和双极性技术所必需的。请参见表 5-1。
3. 电气参数评估 - 供应商应能够在应用温度范围内证明该器件能够满足各个器件规格或数据表中的参数限制。

## 磨损可靠性测试

当新的晶圆制造技术或与适当的磨损失效机制相关的材料需要合格认证时，必须根据要求提供下面列出的故障机制的合格认证系列测试。JP001列出了制造工艺认证的要求。JEP122解释了如何预测这些故障机制的磨损寿命。需要考虑以下机制，但根据技术细节，可能还有其他机制需要考虑。

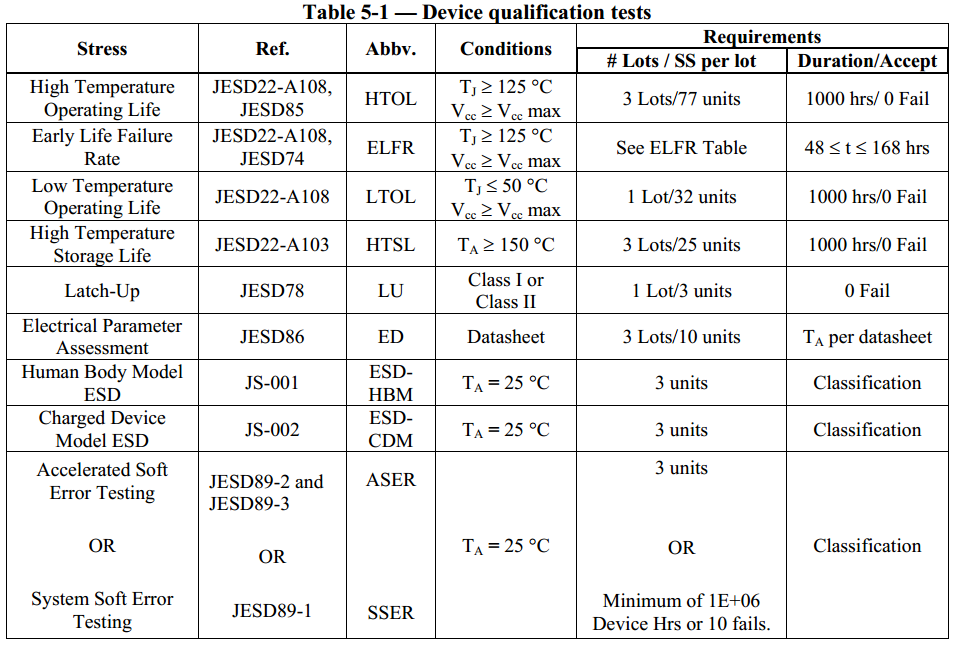
* 电迁移，EM
* 瞬态介电击穿；TDDB或栅极氧化物完整性测试，如充电至击穿。
* 热载流子注入，HCI
* 偏置温漂，BTI
* 压力迁移；SM，可以在实际产品上进行。

数据、测试方法、计算和内部标准无需在每个新设备的认证上进行演示或执行。

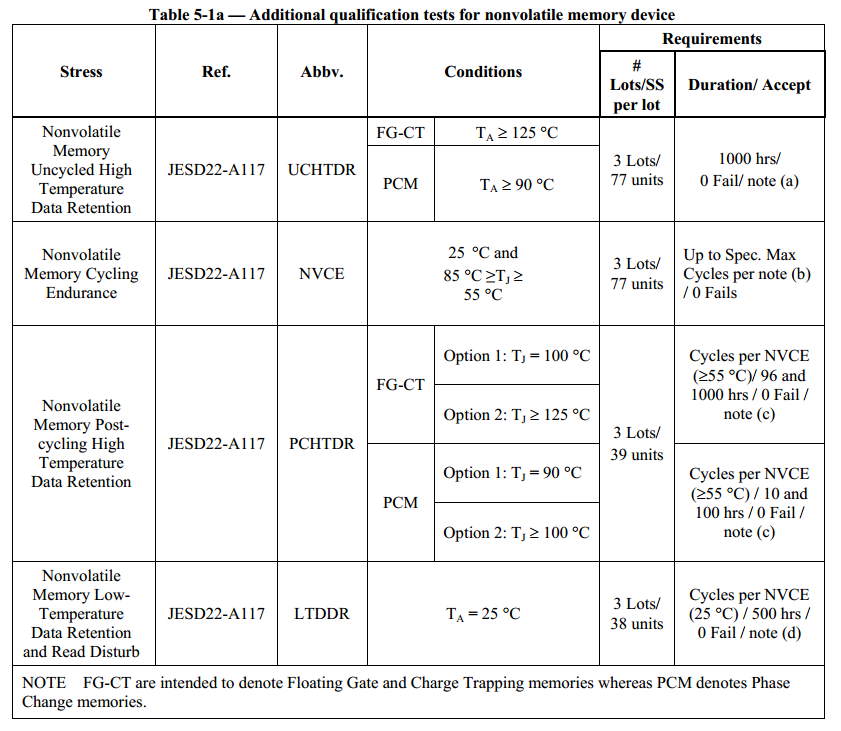
## 可燃性/氧指数

必须根据要求提供符合UL94-0或ASTM D2863的证书。

## 芯片鉴定要求



1. HTOL—此处列出的持续时间通常可以接受，以符合给定应用程序级别的资格。但是，它并不一定意味着特定使用条件的使用寿命要求。这取决于故障机制和应用程序环境。例如，在表观活化能为0.7 eV、125 °C应力温度和55 °C使用温度下，加速度因数（阿伦尼乌斯方程）为78.6。这意味着1000h的应力持续时间相当于使用9年。这可能比应用程序要求短。对于活化能较小的产品或技术，等效寿命甚至可能更低（例如，0.4 eV产生约12年或1.4年等效寿命的加速度因数）。为了确保足够的寿命要求，有必要包含晶圆级可靠性测试信息。晶圆级可靠性可以提供有关特定芯片级磨损机制的长期或固有可靠性，开始到失效时间和设计规则（例如，最大电流密度）的信息。对于许多失效机制，例如介电击穿，升高的电压将提供额外的加速度，并可用于增加有效芯片小时数或以较短的应力持续时间实现等效的寿命点。有关电压加速模型，请参阅 JEP122。非易失性存储器设备必须在HTOL后进行正常运行测试，但数据保留测试是可选的（非易失性存储器数据保留测试见表5-1a）。
2. ELFR—有几种方法可用于计算早期寿命故障率（参考JESD74）。ELFR的目标是测量运行前几个月或一年的故障率。通常需要了解寿命分布才能准确预测ELFR。等效地，表 5-2 可用于确定样本数量，以满足特定的 FPM（累积故障）目标。电压和温度加速度可用于进一步加速有效单位小时数。ELFR后，必须测试非易失性存储器器件是否正常工作，但数据保留测试是可选的（非易失性存储器数据保留测试见表5-1a）。
3. LTOL—该要求旨在实现热载流子退化，JP001中规定的适当晶圆级数据可以满足这一要求。当晶圆级数据无法证明足够的寿命时，该测试特别有用。此测试应以芯片的最大频率运行，并记录速度参数数据。非易失性存储器器件在LTOL后必须测试其正常工作，但数据保留测试是可选的（非易失性存储器数据保留测试见表5-1a）。
4. HTSL—利用较高的温度可以加速高温储存;然而，必须注意不要引入失效机制，例如在非常高的温度下发生的Kikendal空洞，或是抑制失效机制，例如在高于180°C的温度下的应力迁移。或者，如果封装器件的可靠性已通过通用数据得到解决，则可以在晶圆级别执行此测试。在HTSL之后，必须测试非易失性存储器器件是否正常工作，但数据保留测试是可选的（非易失性存储器数据保留测试见表5-1a）。
5. LU—根据JESD78验证Vcc过压和I/O触发栓锁效应。
6. ED—本研究将针对芯片关键参数进行，并非针对所有数据表参数。
7. ESD-HBM—人体模型ESD灵敏度的分类。
8. ESD-CDM—充电芯片模型ESD灵敏度的分类。
9. ASER—加速的α粒子和光束软误差测试可以一起使用来预测场软误差率。对于工艺中没有B10的零件，唯一需要的光束软误差测试是高能中子或质子软误差测试；此类部件不需要进行热中子软误差束测试。对于电路中很大一部分使用易失性存储器或锁存器的芯片，需要进行此测试。可以替换对具有类似存储器元件或锁存器和等效临界电荷的产品或测试设备获取的通用数据。
10. SSER—系统软错误测试需要累积足够的设备小时数才能产生 10 次故障，或者必须累积至少 1E6 个设备小时。高海拔测试可用于加速这种压力。该测试可以代替或作为加速软误差测试的补充。可以替换对具有类似存储器元件或锁存器和等效临界电荷的产品或测试芯片获取的通用数据。



1. UCHTDR—未加密的非易失性存储器数据保留失效机制通常通过温度加速，并使用Arrhenius方程进行加速度建模。列出的持续时间通常可以接受资格认证，但不一定证明特定使用条件的保留要求，这取决于故障机制，加速因素和应用环境。如果应用要求与UCHTDR测试的保留值不匹配，则应遵循基于已知的资格认证（参见JESD94）。对于指定具有某些非零误码率的芯片，误码可能不计入器件故障，但必须显示符合误码率规范（请参阅 JESD22-A117）
2. NVCE—图 1 描述了 NVCE、PCHTDR 和 LTDDR 的流程。38个单位在室温下循环，39个单位在高温下循环。

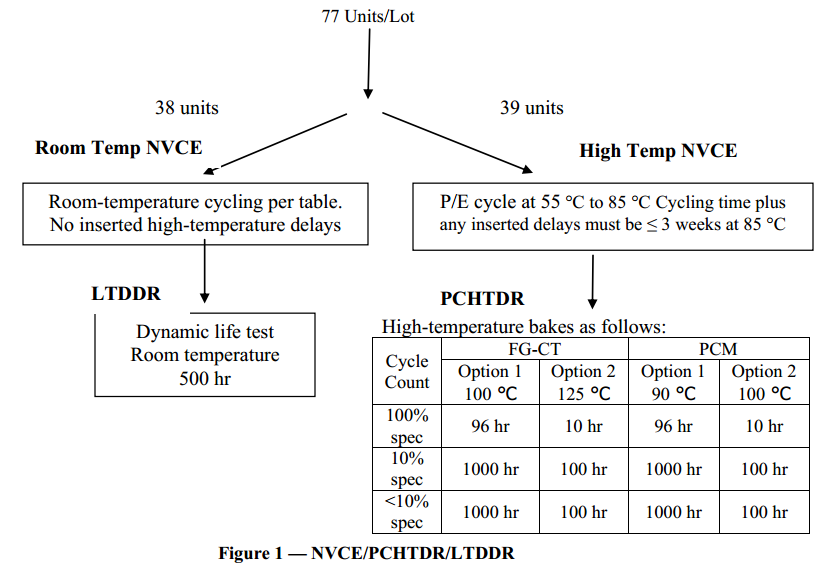
**循环次数**：如果有可能的话，循环测试应对50%单元进行最大指标的循环计数，对另外50%单元进行10%最大指标的循环计数。对于大容量存储器，500小时内不可能完成的，则总的编程/擦除操作数就是循环次数。这可以通过降低进行至最大循环指标的单比例，并增加进行至10%最大循环指标的单元比例来实现。在某些情况下，有必要将一部分单元循环次数降到小于最大规格的10%，以确保所有单元都进行了一些循环，不包括任何有数量限制的未循环扇区，这些扇区被用作循环后比较的参考。如果可能的话，在指令的循环时间内，至少三分之一的操作应该用于将块循环至100%最大指标。对于多块存储器，无论所需的时间如何，每个芯片的至少一个块必须循环到最大规格周期计数。对于实现磨损均衡的系统，这种循环条件通常也是可以接受的；不然，可以实施基于知识的资格认证。

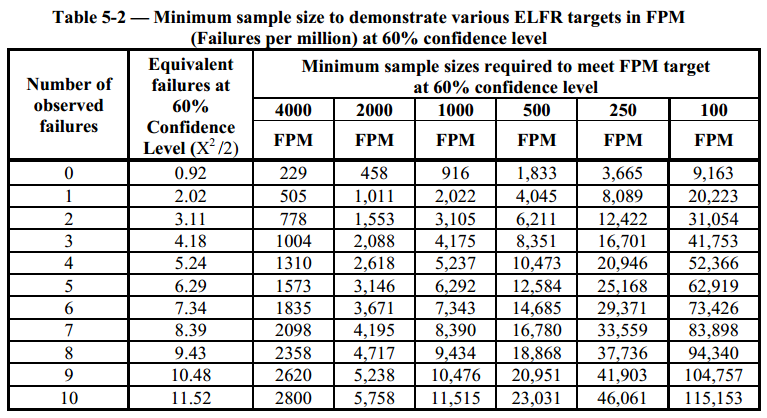
**延迟和循环速率**：供应商可以规定循环次数不得超过每天的一定频次，或者在循环之间插入延迟或烘烤，以避免由于不切实际的条件而导致的过度应力，或模仿预期应用中预期的延迟。请考虑以下五个约束：

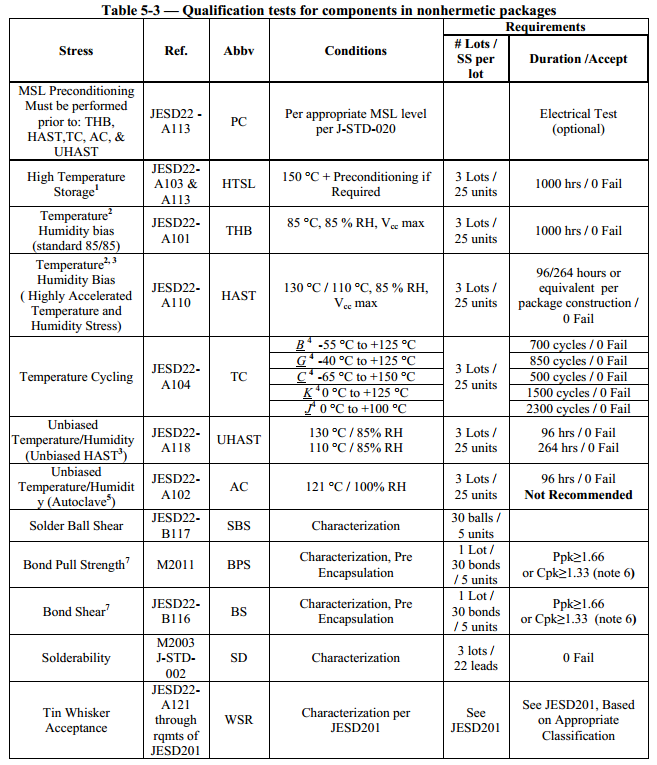
1. 循环次数为实际循环操作的 500 小时，不计入插入的延迟。
2. 插入的延迟必须按照 JESD22-A117 中的指南进行分配。
3. 对于室温循环，不会插入高温延迟。
4. 对于高温循环，延迟加上循环时间本身在85℃下加起来不得超过500小时（根据JESD22-A117，4.1.2.4，在较低温度下可接受更长的延迟）。
5. 如果循环活化能明显低于1.1eV，则允许循环温度高于85℃，具有与JESD94一致的有力技术依据。

这些延迟并不一定能证明在特定使用条件下会看到的效果。例如，对于介电电荷去捕获，表观活化能为1.1 eV，延迟持续时间相当于在55℃下循环1.5年。延迟较少的应用条件将比上文规定的鉴定延迟更严重。如果应用使用条件与上述循环计数或等效时间有很大偏差，则可根据JESD94采用特定于应用的鉴定方法。对于使用坏块管理操作并指定具有非零坏块率的芯片，如果程序块/擦除失败的单元数量超过允许的坏块规范，则该单元将被视为失效（见JESD22-A117，2.5）。对于指定具有非零比特读取错误率的芯片，比特错误不计入芯片故障，但必须显示为符合比特错误率规范（见JESD22-A117、2.8和5.2）。

1. 高温NVCE+PCHTDR—图1描述了PCHTDR的流程。通过高温NVCE的单元被放置在高温保持烘焙中。图中给出了两个选项，其中任何一个都是合格的，对于每个选项，有两个烘焙持续时间。两个持续时间中较长的一个将应用于循环至≤最大循环指标的10%。较短的则用于循环至最大循环指标。例如，选项2要求块循环到≤最大循环指标的10%，于125°C（FG-CT）/100°C（PCM）环境烘烤，数据能够保持100小时，而循环至100%最大循环指标的块，则保留125°C（FG-CT）/100°C（PCM）烘烤下，数据要保持10小时。列出的持续时间通常可用于鉴定，但不一定证明特定使用条件下的数据保持需求，这取决于失效机制和应用环境。例如，当介电电荷解陷阱的激活能为1.1 eV、125℃应力温度（选项2）和55℃使用温度时，加速因子（Arrhenius方程）为939。对于10%的最大规格循环，烘烤时间相当于11.3年，对于100%的最大规格循环，烘烤时间相当于1.1年。使用中所需的保留寿命将小于产品的总寿命，因为PCHTDR要求是一个连续的可靠性应力，之前是长达一个寿命的耐久性循环（NVCE）。如果应用要求与这些保留值不匹配，或工艺具有不同的活化能，则应遵循基于知识的鉴定（见JESD94）。对于指定具有非零误码率的设备，误码可能不会计入芯片故障，但必须指明符合误码率规范（见JESD22-A117）。
2. 室温NVCE+LTDDR—图 1 描述了 LTDDR 的流程。通过室温 NVCE 的单元被置于室温工作寿命应力中，于该条件下按顺序对所有内存地址执行动态读取访问。25℃应力温度用于确定对非温度加速保持失效机制的敏感性，或对可在高温下完全恢复的机制的敏感性，如SILC机制。除了不访问bit时发生的无偏数据保留机制外，还执行有偏寿命应力以检测随机位访问引起的电压感应干扰。对于LTDDR之前使用的25℃循环条件，不接受NVCE所述的插入烘焙。如果注释（b）中的循环计数或500小时的数据保留寿命不足以满足特定的应用要求，或者如果应用中的bit访问预计高度集中于特定的bit，则应使用基于知识的鉴定方法，使用特殊技术（见JESD94）。请注意，在NVCE+LTDDR测试结束时，必须验证数据的保持。对于指定具有一些非零误码率的芯片，误码可能不会计入芯片失效，但必须指名符合误码率规范（见JESD22-A117）。







## 非密封包装鉴定试验要求

**Notes to Table 5-3 — Qualification tests for components in nonhermetic packages**

NOTE 1 建议对JESD22-A113进行预处理，特别是对符合无铅回流焊规范的线连接产品。作为预处理一部分的湿浸是可选的。

NOTE 2 可选择HAST或THB。

NOTE 3 如果运行THB或HAST，则无需运行UHAST。

NOTE 4 建议根据以下标准选择温度循环条件：

* 条件G、B或C可能不适用，除非装置在其常规现场运行寿命内经历低于0℃的循环。
* 条件G、B或C可能不适用于带有有机基板的倒装芯片封装。
* 所选择的条件应包括装置在其常规现场运行寿命中所受的范围。
* 附录A解释了用于选择温度循环条件的失效机理和模型。当选择不同的测试条件或定义不同的测试持续时间时，请参考JEP122了解可靠性模型，参考JESD94了解特定于应用的测试方法。选择应符合目标失效机制，并尽可能与应用和使用条件相协调，因为应力测试持续时间可能会因系数值（n）的不同而大不相同。
* 可按照附录A中的方法使用JESD22-A104中规定的任何温度循环条件。可根据供应商和客户协议确定不同的条件。

NOTE 5 不建议将高压釜作为鉴定试验；无偏或有偏HAST是建议的应力，是有机基质而非高压釜所需的应力。

NOTE 6 工艺能力数据可代替Ppk，数据超过30个批次，要求Cpk≥1.33.

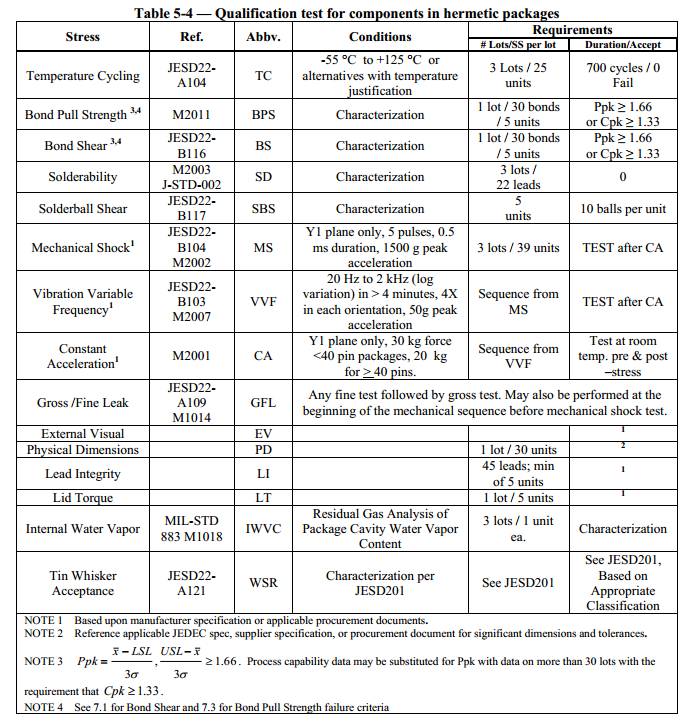
NOTE 7 粘结剪切见7.1，粘结抗拉强度破坏标准见7.3。

**条件**：

1. **HTSL** 该测试主要用于确定包装组件的扩散、氧化、金属间化合物生长和化学降解的影响是否会影响产品寿命。
2. **THB** 将加速三种基本腐蚀模型：电偶腐蚀、电化学腐蚀和直接化学腐蚀。它还将加速离子迁移。必须以最小功耗运行。
3. **HAST** 是用于加速THB测试的测试。必须以最小功耗运行。建议在130°C下使用96小时的铅设备，在110°C下使用264小时的球栅阵列。
4. **TC** 会加速热机械应力造成的损坏, 由于热失配和尺寸差异。
5. **UHAST** 是测试电偶腐蚀和直接化学腐蚀的首选技术。
6. **AC(Autoclave)** 是UHAST试验的不太理想的替代品。它可能导致冷凝和压力引起的机械损伤，这些损伤不代表封装现场寿命应力。有机基板包装不建议使用高压釜。
7. **PC（Pre-Condition）**确保设备能够承受多个组装周期，并模拟现场操作中的设备在加速应力测试之前将承受的印刷电路板组装应力。
8. **SBS（锡球剪切）**确保BGA球具有所需的剪切强度连接到封装。
9. **BPS（粘结拉伸强度）**确保钢丝粘结具有所需的拉伸强度。故障标准见7.3。
10. **BS（粘结剪切）**确保钢丝球粘结具有所需的剪切强度。故障标准见7.1。
11. **SD（可焊性）**确保设备引线能够被板连接焊料润湿。
12. 使用锡（Sn）或锡合金表面光洁度时使用的**WSR（锡须敏感性）**。该验收程序为表面光洁度之间晶须生长倾向的比较提供了依据，但并未为预测现场使用条件下的晶须生长提供依据。

## 密封封装鉴定试验

这些封装通常用于长期应用和恶劣环境，因此某些要求可能与非密封封装不同。



## 其他芯片信息

应根据JESD69硅器件鉴定信息要求报告任何附加信息（如器件结构、材料、制造位置等）。

# 关于工艺/产品变更的解释性意见

## 为符合J-STD-046，以下是需要重新鉴定的典型变更

**有源电路器件**：新类型的电路元件或对晶体管进行的超出原始资格或规格限制的修改。

**主要电路元件**：在现有电路中添加主要的新电路块，例如在现有产品中添加数字信号处理器或嵌入式内存块。

**晶圆直径变化**

**金属化：**新材料或成分的重大变化

**最小特征尺寸变化：**减少超过20%应视为新工艺。

**晶圆制造工艺：**在关键点使用不同的工艺技术（不包括晶圆运输设备）

**扩散/掺杂：**新材料或新技术

**多晶硅或其他MOSFET栅材料：**组成、设计规则、工艺

**光刻：**波长、方法（空气/浸没/ebeam）或蚀刻技术的变化

**晶圆正面金属化：**组成、设计规则、工艺和/或技术

**VIA：**组成、设计规则、过程和/或技术

**钝化涂层：**玻璃或有机材料成分、设计规则、工艺和/或技术

**电介质材料：**组成、设计规则、工艺和/或技术

**低K电介质：**用于金属间隔离的电介质材料，K值小于3.2。

**晶圆背面操作：**金属成分、设计规则、工艺和/或技术

**新的晶圆制造线：**尚未具备制造工艺资格

**装配工艺：**在关键点使用不同的工艺技术

**模具涂层：**材料、工艺和/或技术

**引线框架：**基材、饰面和关键尺寸

**粘合线：**材料、直径

**粘接：**工艺和/或技术

**模具准备：**分离和清洁方法

**模具连接：**材料、工艺和/或技术

**封装：**材料、成分、工艺和/或技术

**密封包装：**材料、成分、密封材料、工艺和/或技术

**晶圆凸点材料：**工艺或技术（包括倒装芯片组装工艺）

**封装尺寸变化：**封装体尺寸增大或铅或锡球间距减小。

**模具厚度**

**新芯片封装组合**

## 可能不需要重新鉴定的变更

先前合格的铸造厂或装配厂，除非先前合格的工厂或来自该工厂的包装/产品已休眠、暂停或停产三年以上。

添加先前合格的设备仅需要完成工艺能力研究，以确保添加的设备提供适当的工艺分布。

测试程序或测试设备的变更仅需要证明其持续符合产品规范。

工艺、产品或材料参数的任何变化，如果不超过当前规定的生产工艺范围，则不属于重大变化。

对设备逻辑操作的微小更改可能只需要功能验证。

产品系列已经合格的较小包装或模具。

## 多个系列资格认证

当待鉴定的特定产品属性将影响多个晶圆厂或组装系列时，鉴定测试的手段应该：

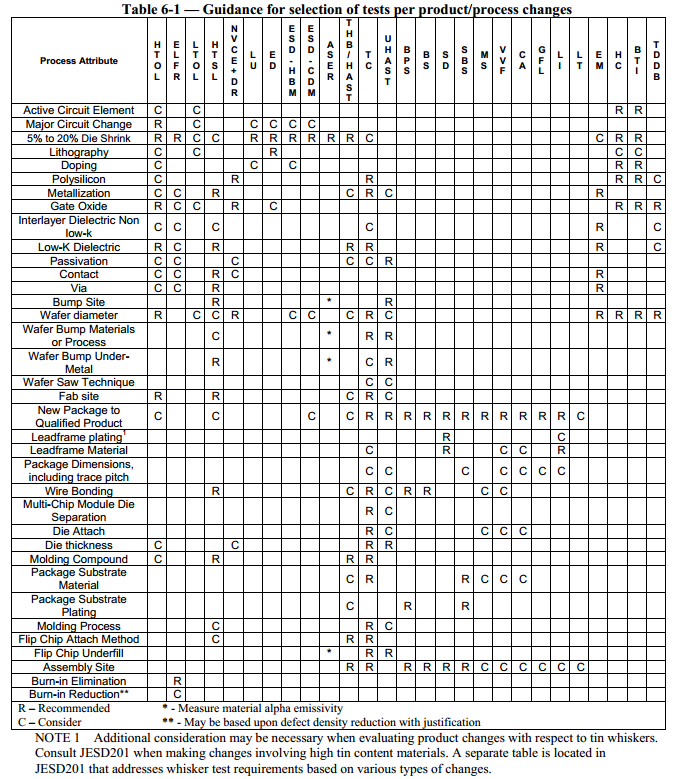
1. 三（3）种产品中每种产品的一批单一芯片类型，预计对更改最敏感的，或者
2. 如果只有一个或两个，则总共有三个批来自最敏感的系列。

以下是针对多个流程和产品系列的变更进行鉴定的推荐流程：

1. 识别受变更影响的所有产品。
2. 确定可能受变更影响的关键结构和接口。
3. 识别并列出关键结构和接口的潜在失效机制和相关失效模式。请注意，步骤1至3相当于创建FMEA。
4. 根据诸如评估的结构和芯片灵敏度相关的类似特征，定义产品分组或系列，并为这些分组提供技术理由。
5. 提供鉴定测试计划，包括变更描述、测试矩阵和代表性产品，以解决每个潜在故障机制和相关故障模式，包括任何合理的通用系列数据。
6. 对于每个受影响的工艺步骤，必须在每个现场证明强大的工艺鲁棒性（例如，每个工艺步骤的控制、工艺中涉及的每个设备的能力、所有受影响现场的工艺步骤等效性）

## 产品/工艺变更压力测试指南

表6-1列出了工艺、包装或设备设计中每种类型变更的推荐（R）鉴定试验，以及应根据技术考虑考虑的附加试验（C）。



# 电线连接合格需求

## 未封装和无应力粘结的钢丝粘结剪切试验方法（JESD22-B116）的失效标准

以下故障标准旨在用作引线键合工艺的生产监控以及鉴定和工艺开发。它们对于经过环境应力测试、从电路板上拆下或经过预处理的设备无效（一些采购或资格文件要求在执行此测试方法之前对样品进行预处理）。

有关可接受和不可接受故障模式的指导，请参考JESD22-B116中的4.6。

### 铝焊盘上金和铜球键的剪切破坏准则

下式适用于铝合金焊盘上的“金”和“铜”线球焊。“金线”包括掺杂金线。“铜线”包括镀钯铜线、镀钯镀金铜线和掺杂铜线。

通过使用以下方程式确定剪切值是否可接受：

（测得的剪切力值÷球焊面积）≥0.0062 gf/μm2

上述剪切破坏标准应适用于铝焊盘上的所有铜球焊。该标准还应适用于所有在铝焊盘上进行金球焊的新设备认证。在铝焊盘上具有金球键合的先前合格设备可满足上述标准或JESD-B116A（2009年8月）表5-1中规定的先前标准。

如果此试验使用了力或面积的换算单位，则值为0.0062 gf/μm2应替换为以下适当转换之一：61 N/mm2或4.0 gf/mil2。

如果支持数据证明提议的最小值是合理的，并且客户同意，则供应商可以提议替代最小粘结剪切值。

其他材料组合（导线和/或粘合表面）可能需要一套新的失效标准。

### 铜基金属键合表面金和铜球键的剪切破坏准则

在本文件最新修订时，没有足够的数据来提出铜基金属结合表面上金或铜球结合的可接受剪切力值。

## 封装和应力粘结的钢丝粘结剪切试验方法（JESD22-B116）的失效标准

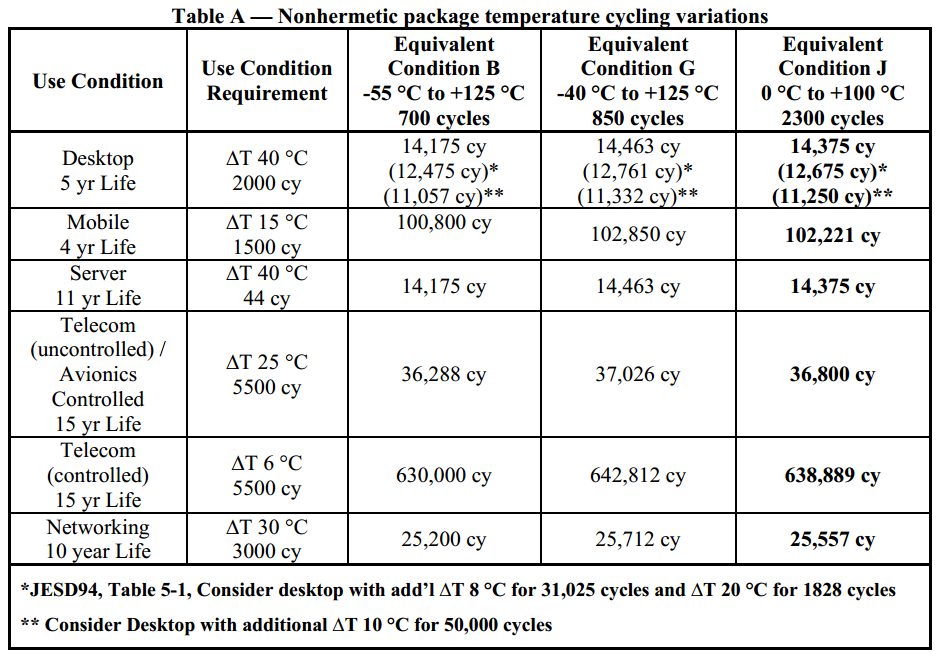
对于本文件而言，设备结构、脱封工艺和应力条件之间的差异太大，无法提出已脱封或暴露于生产或鉴定应力的球键剪切的失效标准。

## 电线粘结拉力试验的失效标准（Mil Std 883，方法2011）

在本文件最新修订时，没有足够的数据来建议铜线键合的可接受拉力值。无应力、未封装金键合线的失效标准目前在Mil Std 883方法2011中。

**附录A（资料性附录）焊点的非密封封装温度循环变化**

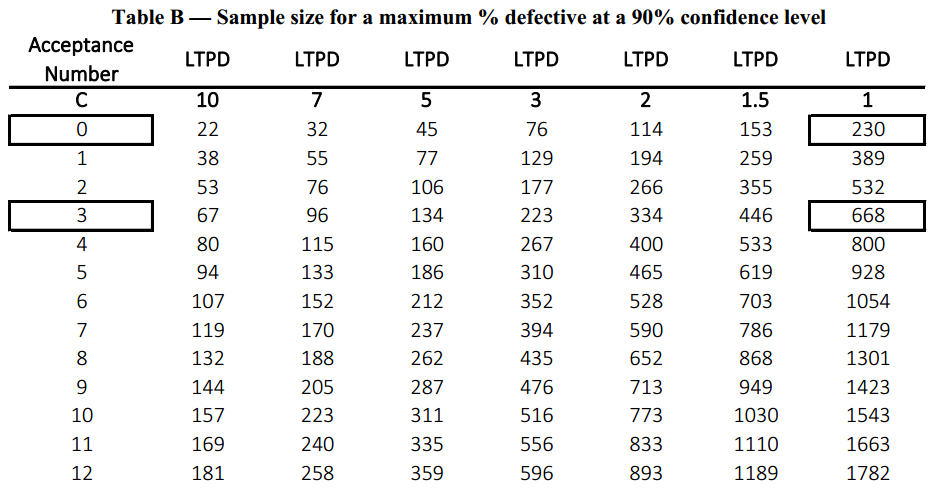
在受温度循环影响的系统中，焊点可靠性通常是组件寿命的限制因素。焊点寿命由Coffin-Manson关系很好地模拟∆Tn，其中n=2（例如，板级/SMT连接-焊点疲劳）。JEP122中报告的其他失效机制具有更大的加速系数，因此这被视为最坏情况。使用n=2系数，将温度循环要求标准化为500次条件C循环的历史要求。作为健全性检查，已将一些常见应用的典型使用条件与这些鉴定条件进行了比较。从下表中可以看出，鉴定要求大大超出了使用条件。



**附录B（资料性附录）非零故障采样选项**

表B提供了具有不同批次公差百分比缺陷（LTPD）和缺陷数量的抽样计划列表。每列值–LTPD–对应于当缺陷不超过验收编号时达到的缺陷率。

例如，将合格要求设置为LTPD=1，然后对于n=230的抽样，将允许0次拒收。相反，如果测试了668个样品，则为了实现LTPD=1，假设故障分布均匀（基于连续采样），相应的最大拒收数量将为3个。



JESD22-A117E

电可擦除可编程只读存储器（EEPROM）编程/擦除耐久性和数据保持应力测试

# 范围

本标准规定了根据鉴定规范进行有效耐久性（擦写次数）、保持力（数据保持时间）和交叉温度试验的程序要求。JESD47中规定了耐久性和保持性鉴定规范（用于循环计数、持续时间、温度和样品尺寸），或可使用JESD94中基于知识的方法制定。

使用JESD47中规定的参数级别进行的鉴定和监测程序/擦除耐久性和数据保留测试被认为是破坏性的。当温度和时间满足或超过鉴定要求时，数据保持应力可作为替代物来代替高温贮存寿命试验。当显示出在低温下编程和在高温下读取的灵敏度时，可以考虑在数据表温度范围内进行交叉温度测试，反之亦然。可使用较小的试验参数水平（例如，温度、循环次数、保持烘烤时间）进行筛选，只要这些参数水平已由设备制造商验证为非破坏性；这可以在任何地方执行，从晶圆级到成品设备。

# 术语和定义

以下术语和定义适用于本出版物。

**交叉温度测试（CTT）**：在工作温度范围的两个极端进行数据读取验证，例如在低温下编程时，在高温下正确读取，反之亦然。

**数据图形**：存储阵列上，数据“0”和“1”的物理或是逻辑位置。

注：芯片可以是1bit/cell（SBC），这意味着一个物理存储单元存储“0”或“1”，或多个bit/cell（MBC），这意味着一个单元存储两个或多个数据位：例如，每个单元存储两个位的“00”、“01”、“10”或“11”。在一些MBC存储器中，多个bit表示数据每个byte中逻辑上相邻的bit分组。例如，对于2bit/cell，包含二进制数据10110001的字节将对应于四个物理cell，其中数据2301位于基四逻辑中。在其他MBC存储器中，多个bits可以表示完全不同地址位置中的bits。对于SBC，物理棋盘图形由交替的0和1组成，每一个0在两侧、上方和下方被1包围；逻辑棋盘图形由数据字节AAH或55H组成，其中每个0在逻辑上与1相邻。在某些鉴定中，只能知道逻辑位置。

**数据保留，保留**：EEPROM单元随时间保留数据的能力。

注1：当上下文确保不可能出现混淆时，通常使用“保留”一词；否则，应使用完整术语“数据保留”。

注2：术语“数据保留”可指设备在无偏状态下保留数据的能力，但该术语有时将用于包括在有偏情况下保留数据的能力。术语“干扰”明确地指的是“EEPROM”单元在偏差下随时间保留数据的能力。例如，读取“干扰”是指“EEPROM”单元在读取给定次数后保留数据的能力。关于“干扰”的详细讨论超出了本文件的范围。

注3：保持应力包括将数据图形写入芯片，然后在指定温度下，在指定时间后验证该图形是否完整。对于所有“保留”机制、单元设计或流程体系结构来说，没有一种数据图形是最糟糕的。通常有一些主要影响已编程单元的失效模式和一些主要影响已擦除单元的失效模式，还有一些依赖于相邻单元中的数据的失效模式。

**数据保留失效，保留失效**：在前一次写入之后的一段较长时间后，根据适用规范读取设备时，检测到存储数据的一位或多位变化。

注1：当上下文确保不可能出现混淆时，通常使用短期“保留失效”，否则应使用完整术语“数据保留失效”。

注2：有必要区分保留失效是否由电荷损失或其他机制引起。循环间隔较短的耐久性循环可能会导致明显的比特变化或伪比特翻转。

注3：如果应用系统或者芯片内部存在纠错管理设计，则仅当错误数超过容错范围，才会认为发生失效。

注4：许多不同的失效机制是导致保留失效的原因，一般来说，温度和其他可调的鉴定参数以不同的方式加速了这些失效。例如，在浮栅存储器中，故障可能由于允许电荷通过转移电介质泄漏的缺陷或转移电介质中电荷的去捕获而发生；前者可以被高温弱加速甚至减速，后者可以被高温强加速。

**EERROM**：一种可重新编程的只读存储器，其中每个地址的单元都可以用电擦除并用电重新编程。

注：本文件中的术语“EEPROM”包括所有此类存储器，包括闪存“EEPROM”集成电路和集成电路中的嵌入式存储器，如可擦除可编程逻辑器件（EPLD）和微控制器。破坏性读取存储器，如铁电存储器，其中读取操作将数据重新写入存储单元，超出了本文档的范围。

**耐久性**：可重编程只读存储器承受数据重写并仍符合适用规范的能力。

注1：EEPROM芯片规范通常要求在重新编程数据之前执行擦除步骤；在这种情况下，数据重写包括擦除和编程步骤，这两个步骤统称为编程/擦除周期。直接写入存储器允许数据直接写入旧存储器，无需擦除；在这种情况下，通用术语“程序/擦除周期”的使用将指不进行擦除的单次重写。对于需要擦除步骤的每单元单位（SBC）存储器，一个编程/擦除周期由编程单元（通常为“0”）和擦除（“1”）组成。对于可比较的每单元多比特（MBC）情况，一个周期将包括编程单元（每单元两比特为“0”、“1”或“2”），然后擦除（每单元两比特为“3”）。

注2：耐久性循环包括连续执行多次重写，必须选择用于这些重写的一种或多种数据模式。没有一种数据模式或一组模式是所有故障机制的最坏情况。例如，对于浮栅存储器，对于电荷转移而言，完全编程的模式是最坏的情况，但是对于相邻单元的虚假编程而言，物理棋盘模式是最坏的情况，并且对于与擦除预处理算法相关的机制而言，大部分擦除的模式可能是最坏的情况。对于MBC存储器，编程到最高状态是电荷转移的最坏情况，但中间状态单元可能经历更多的编程时间，并且传感裕度也较低。最后，在一些存储器中，单元的边界受物理相邻单元的数据状态的影响。

**耐久性失效**：因循环耐久性引起的失效。

注1：如果由于编程/擦除循环，EEPROM未能在数据表规定的时间内完成编程或擦除操作，或者未能满足其任何其他数据表要求，则会发生耐久性故障。导致芯片中存储错误数据的程序操作被视为耐久性故障。但是，如果芯片内置了错误管理方法（如纠错码）或指定由系统应用，则只有在指定方法未正确管理错误时，才会认为发生了故障。

注2：某些EEPROM指定与内部或外部坏块管理系统（BBM）一起运行。当BBM系统检测到耐久性故障时，它将数据定向到另一个（备用）块，并从适当的地址表中删除故障块的地址。当在产品数据表规定的循环计数内消耗了预设数量的产品备用块时，则认为该产品出现耐久性故障。

注3：许多不同的失效机制是造成耐久性失效的原因，通常，温度和其他可调的鉴定参数（如循环之间的循环延迟）以不同的方式加速了这些失效。例如，在浮栅存储器中，故障可能由电荷转移电介质中的电荷俘获（通常由较低温度和/或较短循环延迟加速）或转移电介质或外围电介质中的氧化物破裂（通常由较高温度加速）引起。

**失效**：芯片失去满足其预期（通过设计或测试）的电气或物理性能规范的能力。

注1：“失效”一词通常由描述失败类型的形容词限定。例如，如果某个组件无法正常工作，则该组件为功能故障；如果该组件正常工作，但不符合参数（如功耗）的数据表规范，则该组件为参数故障。术语和定义中定义了耐久性和保持力失效。

注2：故障可能是牢固的或暂时的。就本标准而言，可靠失效是指在可靠性应力期间某个时间失效，并在相同应力结束时在最终试验中继续失效的部件。瞬态失效是指在可靠性应力期间失效，但在该应力结束时通过最终测试的部件。

**不可纠正误码率（UBER）**：数据错误发生率的一种度量标准，等于应用任何指定的纠错方法后，位读取的数据错误的累积数。

注1：根据以下等式计算不可纠正的误码率：

UBER=累记错误bit数/累记读取bit数

注2：对于未经纠错的芯片，错误中的任何数据位均视为数据错误。对于纠错芯片，在应用指定的纠错方案后返回错误数据的任何码字或扇区（如产品数据表中所定义）均视为数据错误。瞬态数据错误，例如在给定的程序/擦除周期发生但在以后的周期不发生的数据错误，被计为数据错误。标准统计置信水平可应用于分子。

注3：读取的累积位数是从设备读取的所有数据位的总和，同一内存位的多次读取计数为多次读取。例如，如果1-Gb设备被读取10次，则会有10 Gb的读取。

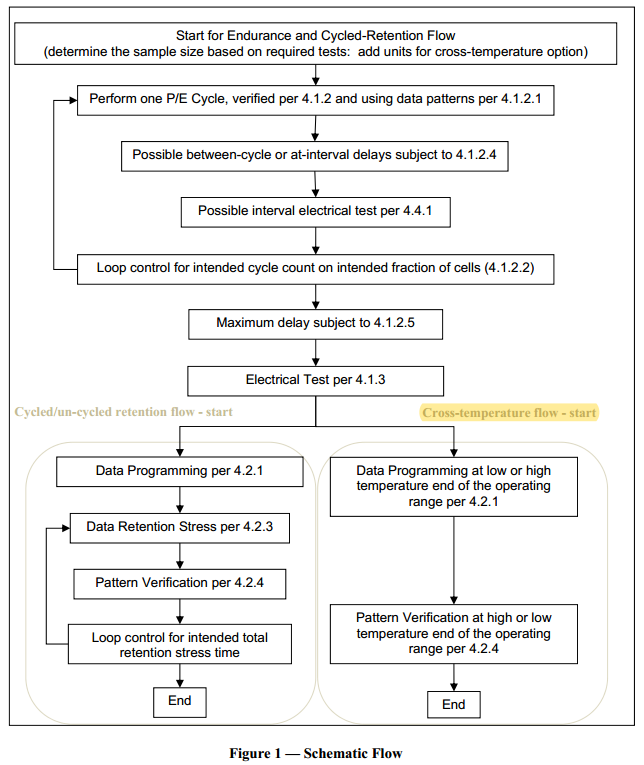
注4：某些芯片可能被指定具有特定的“UBER”值，在这种情况下，鉴定必须确定芯片符合“UBER”规范。第5条讨论了有关UBER计算的详细信息。

# 仪器

本试验所需的仪器应包括一个能够将规定温度条件保持在±5°C范围内的受控温度室。室内应提供插座或其他安装装置，以便在规定的电路配置中与芯片端口进行可靠的电气接触。电源和偏置网络应能够在整个试验过程中保持规定的操作条件。此外，试验电路的设计应确保异常或故障设备的存在不会改变其他试验装置的规定条件。应注意避免瞬态电压尖峰或其他可能导致电、热或机械应力过大的条件可能造成的损坏。

# 步骤

鉴定规范，包括JESD47中的规范，通常要求一些芯片经历耐久性循环，然后承受保持应力。在数据表中规定的温度范围内，未循环芯片和可选交叉温度测试也可能有保留要求。鉴定规范通常要求在数据表范围内的多种温度下进行耐久性循环，并在高温（如125°C）和室温下进行保持应力。图1示意性地说明了流程，并参考了描述过程的段落。



## 编程/擦除耐久性

### 测试设置

芯片应放置在试验箱内，以确保通过每个芯片及其周围的气流不会受到实质性阻碍。应通电并进行适当的检查，以确保所有芯片均正确通电。当需要特殊安装或散热时，应在适用的芯片规范和/或测试规范中规定细节。

### 数据循环

必须验证耐久性试验期间的编程和擦除操作是否按照芯片规范或供应商内部应力试验规范（见6）正确执行。

#### 循环中的数据图形

耐久性循环使用的数据图形必须在供应商和用户之间达成一致，并记录基本原理。考虑到目标应用模型，在循环期间循环足够的块扇区非常重要。有关选择循环数据图形所涉及的权衡的讨论，请参见第2条。

许多鉴定的目的是测试芯片是否存在最普遍的失效机制。当数据图形包括实际使用中可能出现的全部逻辑级别和邻接条件时，可以检测到尽可能普遍的失效机制。例如，如果满足以下三个条件，则可以实现此全范围。首先，存储单元中的数据在所有可用逻辑状态之间以相等的度量循环。例如，在SBC内存中，在任何一个周期中，一半的单元将被编程，一半将被擦除，而在4级（两位）MBC内存中，四分之一的cell在给定循环中，可以写入四种状态的每一种状态。其次，1和0的位置是非均匀的，理想情况下是准随机的，因此所有可能的邻接配置都会被表示出来。例如，由00H（零十六进制）、55H、AAH、33H、CCH和FFH的混合组成的数据模式将涵盖尽可能多的邻接图形。第三，连续循环中的数据图形不同，而是遵循一个序列。最佳实践是确保在这个序列中，一些单元写入所有可用的逻辑状态，而其他单元在每个循环中重新写入相同的逻辑状态。例如，在SBC芯片中，在偶数循环中连续写入AAH，在奇数循环中连续写入5AH，这样将由一半bit在交替周期中写入0和1的单元，四分之一的cell在每个循环中重复写入0，以及剩余cell在每个循环中重复写入1。

在一些供认的鉴定中，可针对特定失效机制定义耐久性试验。此类测试可使用与上述不同的数据图形，优化以增加对目标机制的敏感性。用于此类目的的可接受数据图形的示例包括实心编程模式、棋盘格/反向棋盘格序列以及随后填充该图形的棋盘格。

一些闪存EEPROM芯片采用内置置乱机制。测试此类装置的耐久性时，应启用加扰机构；禁用扰频器进行耐久性循环可能会给产品带来超出用户可能感受到的压力。采用加扰时，准随机模式最适合测试耐久性。

#### 待循环测试的单元比例

无论是来自JESD47还是使用公认的方法（JESD94）开发的鉴定规范，通常要求将内存的一部分循环到芯片规范中规定的最大编程/擦除周期数，并将其他部分循环到较小的数量。在大型存储器中，可能需要很长时间才能将所有单元循环到最大规格，并且在公认的鉴定中，可能知道应用程序使用条件并不要求所有单元循环。供应商和用户必须商定并记录循环至100%最大规格的单元比例和循环至其他规格百分比的比例，以及所选比例的基本原理。

#### 循环条件

供应商和用户应就循环模式、电压、温度和频率达成一致，并将其与基本原理一起记录在案。模式是指编程和/或擦除的不同操作模式，如地址、页面和块（或扇区）编程和擦除模式。电压是指所有相关的电源电压，包括逻辑电平电源和编程或擦除所需的任何高压电源（如适用）。温度是指设备循环的腔室温度。鉴定规范通常会规定一些芯片在低温下循环，其他芯片在高温下循环。循环频率是指单位时间内执行的循环次数。

#### 循环间隔

EEPROM产品的劣化率可能在很大程度上取决于循环频率。这是因为一些循环诱导的损伤机制在循环之间表现出部分恢复；增加循环速率可能会阻止恢复并导致早期故障。典型的可恢复退化机制是在浮栅器件的传输介质层中循环期间捕获的电荷的去捕获，或基于陷阱的非易失性存储器中捕获的多余电荷的去捕获。在用户模式应用下，产品循环计数分散在几年内，多余的截留电荷可能会在两次循环之间转移，但如果在合格测试模式下，产品在几小时或几天内运行到最大循环计数，多余的截留电荷将累积，导致产品在耐久性循环期间或在随后的数据保留测试中出现早期故障。

为避免鉴定试验期间出现不现实的循环，鉴定流程可规定在循环之间添加延迟。本节描述了在循环过程中插入延迟的方法以及适用的规则和限制。这些方法包括：

1. 在高温下循环（延迟在循环之间均匀分布）；
2. 高温下循环降低频率（每两个循环之间和/或循环组之间进入的延迟）
3. 室温循环，在循环组之间插入高温烘焙间隔

控制循环延迟插入的规则是，由于插入烘焙延迟而产生的松弛不应超过用户模式条件下的匹配松弛。插入延迟的总持续时间应根据预期使用温度和延迟温度之间的差值，使用恢复机制的激活能进行计算。只要组合符合此规则，就允许组合上述方法。

对于根据方法（ii）在高温下进行的循环，供应商可规定每天的循环次数不得超过一定数量。在一天剩下的时间里，设备可能在循环温度下保持闲置。如果在循环温度下的总时间和在怠速温度下的时间不超过产品在预期使用温度下的匹配循环持续时间，则设备也可以在不同温度下保持怠速（见下面的示例）。

为避免在循环结束时产生过度的恢复效应，必须在每组循环开始时插入为给定循环组计算的循环延迟和/或烘焙间隔。例如，如果供应商选择4个偶数组的循环，每组之间的空闲间隔为偶数，并且如果空闲温度下的总允许空闲时间计算为tT，则可在第2、第3和第4个循环组的开始处插入总空闲时间的分数tT/4。除不可避免的物流延迟外，第4组结束时不允许有延迟，但应符合4.1.2.5中规定的最大值。

如果供应商选择使用非偶数循环组划分循环延迟，则烘烤间隔应与连续循环组中的循环分数成比例。选择非均匀循环组的基本原理是，与循环结束时的延迟相比，循环流程早期的烘焙延迟通常对放松装置的效果较差，因此供应商可以选择跳过早期烘焙间隔，节省总应力测试时间。

由于恢复效果也可能取决于cell状态；供应商应指定循环间隔期间使用的cell状态。还应使用延迟之间的cell旋转来模拟使用条件。

供应商应记录插入烘焙延迟的方法，报告延迟期间使用的数据图形，指定恢复机制，并提供其激活能的来源。供应商还应记录在循环过程中选择特定延迟/烘烤间隔/温度的理由。

应使用目标循环条件计算循环和数据保留能力。供应商应计算各种目标循环延迟和温度下的数据保留率。应通过在供应商确定的循环过程中应用适当的芯片结温度（TJ）来计算数据保留故障估计值。可在与目标条件相对应的不同温度下计算使用循环和保持率，以使耐久性TJ大于读取循环TJ。

以下两个示例演示了如何选择烘焙间隔。

**Example 1 [method (ii)]:**

产品循环次数=10 k

预期应用下10 k循环的使用时间=2年=17520小时

用户模式循环温度=55℃

预期耐久性鉴定时间=10天

每天的循环时间=1 k次@14 h

合格循环温度=85℃

去捕获（退火）激活能=1.1 eV

每天10小时空闲期间的最高允许温度是多少？

1. 在85℃条件下，每天10天x 14小时的循环相当于140小时x 26.1=3652小时@使用温度（Eaa=1.1 eV的加速系数从55℃到85℃为26.1X）。
2. 剩余等效用户模式循环寿命为17520 h–3652 h=13868 h
3. 总的空闲时间100h
4. 从100小时到13868小时的热加速系数（AT）为138.68。
5. Eaa=1.1 eV，Tuse=55℃时达到138.6，Trelax=102.6℃

回答：空闲时间的最高允许温度为102.6℃。除按照4.1.2.5的规定在循环温度下允许12小时外，在循环后的最后一天不允许有任何延迟。

**Example 2 [method (iii)]:**

产品循环次数=10 k

预期应用下10 k循环的使用时间=2年=17520小时

用户模式循环温度=35℃

合格循环温度=25℃

去捕获（退火）激活能=0.9 eV

供应商希望在5 k循环和9 k循环后插入烘烤间隔。烘烤温度为125℃。每个烘烤间隔的最大允许持续时间是多少？

1. 第2组的循环分数为（9 k循环–5 k循环）/10 k循环=0.4
2. 第3组的循环分数为（10 k循环–9 k循环）/10 k循环=0.1
3. Eaa=0.9 eV=X 2139时35℃至125℃的热加速系数
4. 总允许松弛时间=17520小时/2139=8.19小时
5. 第2组之前的最大循环延迟=8.19 x 0.4=3.28小时
6. 第3组之前的最大循环延迟=8.19 x 0.1=0.82小时

回答：在125℃条件下，5 k循环后的最大允许烘烤间隔为3.28小时，9 k循环后的最大允许烘烤间隔为0.82小时。

NOTE 根据技术和材料的不同，循环内恢复机制的激活能可能在0.8 eV和1.2 eV之间变化。见JEP122，5.5–5.6。

#### 循环测试结束后延迟

对于在高温下进行的循环，在高温循环完成后，芯片不得在循环室内停留超过12小时。对于在室温或更低温度下进行循环，在拆除芯片之前，循环室中的任何延迟必须计入4.4.1中讨论的96小时总容差。对于具有独立循环的多个区域的芯片，必须从第一个区域完成循环的时间开始计算这些限制。为了满足这些要求，可能需要错开区域的循环。例如，如果循环两个区域，一个到“n”个循环和一个到“2n”个循环，则可以通过循环第一个区域一次和第二个区域两次，然后重复该序列总共“n”次来实现。

### 电气测试验证

编程/擦除循环后，应按照4.4对芯片规范的功能测试进行验证。

## 数据保留

### 数据编程

符合4.1要求的循环芯片和/或鉴定规范中规定的未循环芯片应进行编程，以进行后续保留试验。有关选择要编程的数据图形所涉及的权衡的讨论，请参见第2条。如4.1.2.1所述，对于旨在测试设备是否存在尽可能广泛的故障机制的鉴定，存储器应以同等的方式写入所有可用的逻辑状态，并具有全范围的邻接配置。应使用数据表上规定的编程模式写入数据。

在一些公认的资格认证中，可以针对特定的失效机制定义保留测试。此类测试可使用与上述不同的数据图形，优化以增加对目标机制的敏感性。用于此类目的的可接受数据图形的示例包括实心编程图形、实心擦除图形、棋盘图形和（对于MBC）仅表示部分多个逻辑电平的图形。在这种限定条件下，也可以使用不同于数据表中规定的编程模式写入数据，以修改单元格的边距并获得额外的加速度。

供应商应记录所使用的方法以及该方法的基本原理。

### 电气测试和图形验证（不包括任何EEPROM程序/擦除测试）

按照适用的芯片规范执行模式验证和全功能测试，不包括任何EEPROM程序/擦除测试。在一些公认的资格认证中，可能会增加一些特殊测试，如裕度测试，以提高对某些机制的敏感性，例如那些受温度加速不良的机制。

### 数据保留应力

鉴定规范（记录在JESD47或基于JESD94的知识鉴定计划中）将规定未循环和循环芯片的保留时间和温度。保持应力可能包括无偏烘焙（参考JESD22-A103C）或有偏寿命应力（参考JESD22-A108-B）。

### 电气测试和图形验证

根据适用的芯片规范执行模式验证和全功能测试。此外，如4.2.2所述，可使用特殊测试，如裕度测试。

## 注意事项

应采取预防措施，确保芯片不会因热失控而损坏，并防止电气损坏。测试设置应在初始阶段和测试间隔结束时进行监控，以确定所有芯片正在按照规定要求进行循环和加压。在进一步温度暴露之前，应注意并校正每个芯片上的偏置电压和电流。如果在试验间隔结束时检查芯片时未正确偏置，则必须确定芯片是否已更改或试验电路是否已更改，以便确定鉴定数据的有效性。

## 测量

### 电气测量

电气测量应在耐久性循环和保持应力完成时进行，也可以按照鉴定规范的间隔（保持循环计数和/或保持应力时间）进行。可将临时读取点测试为小于完整芯片规范值。耐久性试验的理想实践是验证每个循环后写入的数据，以便检测到瞬态耐久性故障。如果由于所涉及的时间而不可行，则供应商和用户必须就此类瞬态故障的解释方法达成一致（见5.1）。耐久性测试的最终测试必须测试程序/擦除操作。保留测试中的临时测量不得重写数据。从规定的试验条件下拆除芯片后，应在96小时内完成临时和最终电气测量。对于耐久性，该时间包括装置任何区域完成循环后在循环室内花费的任何时间（见4.1.2.5）。对于随后进入保持应力的循环机组，96小时限制适用于从任何区域上完成循环到数据保持应力之前的数据编程步骤的整个延迟时间。

### 需求测试

电气测量应包括适用芯片规范中规定的参数、功能和定时测试。

### 测量条件

从试验箱中取出芯片之前，应将环境温度恢复至室温，同时保持芯片上的规定电压。除非芯片规范中另有规定，否则应在高温试验之前进行室温试验（或根据芯片规范要求进行低温试验）。

# 失效标准和计算

如果超出参数限制或无法按照芯片规范的规定演示功能（如数据丢失），则芯片被定义为故障。在确定事件是否被视为故障时，应采用芯片规范中的任一错误管理技术。

## 瞬态失效处理

对于易发生瞬态故障的芯片，必须努力统计循环或应力过程中发生的所有瞬态故障。4.4.1要求仅在循环或应力结束时进行电气测试，但该测试不会检测早期瞬态故障。因此，最佳实践是更频繁地测试。例如，已知某些芯片在耐久性循环期间会发生瞬态数据错误，最佳做法是在每次循环后读取并验证数据。如果不可能，则必须使用某种方法来估计瞬态故障的发生。供应商和用户必须记录并商定该方法（可能需要超出本标准范围的建模和外推方法）。如果芯片在特定循环或应力（如通常认为的保持应力）中没有受到瞬态误差的影响，则在应力结束时进行测试就足够了。

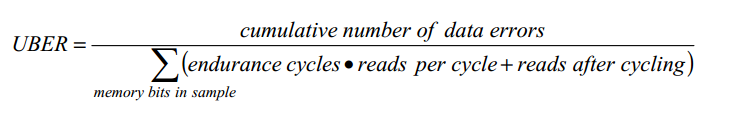
对于耐久性循环，一种可接受但保守的方法是通过循环次数与读取次数的比率来衡量故障次数。例如，如果每隔10个周期读取并验证数据，则将检测到的故障数乘以10，以估计发生的故障总数。其基本原理是，如果故障是高度瞬态的，在发生故障时仅在一个周期内发生，则每10个周期执行一次读取将仅检测到10%的故障。如果要按照规定的置信上限进行鉴定，则应在乘法之前应用该置信限。例如，如果在前一个示例中，实际故障数为零，但置信上限为1，则使用此方法估计的总故障数将为10，而不是1。

## 将故障分为数据错误和芯片失效

某些芯片可能被认为符合UBER。在这种情况下，数据错误将与芯片失效分离。芯片失效必须符合鉴定标准（如JESD47中规定的允许错误bit数）。数据错误必须在产品容错范围内。发生失效的芯片只能算作单个芯片故障，但在某些情况下，重复数据错误应多次计算（见5.3）。

## UBER的计算

芯片鉴定通常包括耐久性循环操作，然后是非循环应力，如保持力。在这种情况下，UBER方程重新定义如下：



分母是读取的位数，从第一个耐久循环开始，一直延伸到后循环（如果存在这种循环）。分母是采样芯片中所有bit位的总和，理论上，每个bit位对于耐久周期、每个周期的读取和/或循环后的读取可能具有不同的值。分子是同一时间段内的数据错误数（循环后再循环）。作为一般规则，在循环过程中多次出现重复数据错误的单个内存位置应仅在分子中计算一次，故障点后该位置的读取不应在分母中计算。这种一般情况是基于这样的假设，即一旦发生错误，有错误的位置将停止使用。当预期的应用程序不会停用这些位置时，会出现一种特殊情况。在这种情况下，必须多次计算重复数据错误，每次重复一次，并且该位置的所有读取都应包含在分母中。应计算错误的次数取决于预期应用，并且必须在供应商和用户之间达成一致。

### 理想情况下UBER的计算

在理想耐久性循环结束时（每个循环后验证的数据），分子应包括循环产生的所有瞬态和稳定误差，分母每个循环应具有一个读数，但循环后没有读数。即使耐久性循环每个循环执行一次以上的读数，方程式中用于每个循环读数的值应为一，除非供应商陈述了一些其他假设，并与用户达成一致。在后循环结束时，分子将包括循环和后循环期间的所有错误，分母将包括循环项和循环后的任何读数。对于偏置保持应力，如读取干扰的特征，循环后的读取应为实际执行的读取次数。对于无偏保留应力，供应商可根据在被认为等于保留应力的时间段内实际使用中预期的读取次数，在循环后包括一些假定的非零读取次数（即使这些读取在应力期间没有实际执行）。必须记录任何此类假设的基本原理，并在供应商和用户之间达成一致。对于符合UBER规范的芯片，必须在耐久性循环结束时和每次后循环结束时进行单独的UBER计算，并且所有此类UBER值必须符合UBER规范。应用于方程式（2）分子的统计置信限（如有）应由供应商和用户说明并商定。

例如，如果100个1Gb密度的芯片分别经历1000次耐久循环，每个循环读取一次数据，并且在循环后没有读取，那么在循环结束时，读取的比特数将为1014（=102\*109\*103）。如果10%的bit循环10000次，而其余的bit根本没有循环（10%x102\*109\*104），那么将获得相同的分母。循环期间的任何单一错误都会导致10-14循环结束时的标称UBER，或90%的置信上限为3.9x10-14。

如果芯片在循环后再进行10000次读取的额外循环，那么在循环结束后的UBER计算中，分母将增加1015（102\*109\*104）至1.1x1015。然后，循环或后循环中的一个错误将导致标称UBER为9x10-16，或90%的置信上限为3.5x10-15。在耐久性结束或者循环结束后计算的UBER值都需要符合UBER规范。

### 其他情况下的UBER计算

在5.3.1的理想情况下计算的UBER在这里被认为是芯片的真正UBER。如果鉴定在每个循环后未执行读取和数据验证，则必须修改计算，以尽可能接近真实值。因此，分子由循环期间的总故障（如5.1所述，必要时估计瞬时故障）组成，分母包括每个循环的一次读数（除非5.3.1另有规定）。

# 总结

应在适用的芯片规范和/或供应商的内部应力测试规范中规定以下细节，以及基本原理：

1. 特殊的安装，如果适用的话
2. 测试条件
3. 偏置条件
4. 测试前、中、后的测量项
5. 存储单元中逻辑转换的最大数目以及循环pattern。
6. 编程循环的间隔时间
7. EEPROM制造商要求的替代编程/擦除程序，以保证耐久性要求。此提案必须经用户批准。
8. 数据保留图形，时间和温度
9. 循环模式（例如，扇区模式、块模式、页面模式）。
10. 测试的容量
11. 编程/擦除循环的温度
12. 耐久性测试中，插入的间隔时间以及温度
13. 用于选择退火/循环延迟和选择数据保持烘焙持续时间的测量或假定活化能
14. 耐久性循环期间在中间点插入的任何延迟所用的数据图形
15. 如果报告了UBER–包括在累积位读取数中的每个实验中的位读取数，以及外推方法（如果有）。
16. 用于解释瞬态耐久性故障的方法。